

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-275059

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H04J 13/04

H04B 7/26

H04L 27/20

(21)Application number : 10-080020

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.03.1998

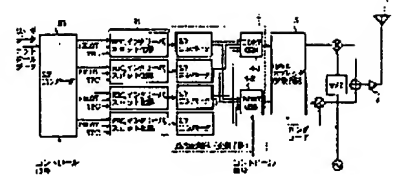
(72)Inventor : MURAI HIDESHI

(54) VARIABLE SPEED TRANSMISSION METHOD AND DEVICE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To relax the demand that is given to the output linearity of an HPA which is an amplifier and to transmit the data signals at a high speed and with high efficiency by transmitting the data signals, after modulating the diffusion of these signals via a diffusion code series and in a binary series state.

SOLUTION: An adaptive modulation part 4 selects a Walsh function series according to a control signal and in response to a case that the data transmission rate shows each transmission rate of those data which exceed 512 kbps. Then a Walsh function having polarity is selected, in response to the inputted coding data and outputted, as a biorthogonal signal. A QPSK spreader 5 uses biorthogonal signals of two systems having plural pieces of coding data information which are outputted from the part 4 as its input and performs the QPSK diffusion modulation by means of a long code. The signals, which are subjected to QPSK diffusion modulation via the spreader 5 undergo the QPSK carrier modulation by means of an orthogonal carrier wave, are amplified by an amplifier 6 and transmitted to the outside via an antenna 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-275059

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 J 13/04

H 0 4 J 13/00

G

H 0 4 B 7/26

H 0 4 L 27/20

Z

H 0 4 L 27/20

H 0 4 B 7/26

M

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号 特願平10-80020

(22) 出願日 平成10年(1998) 3月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 村井 英志

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

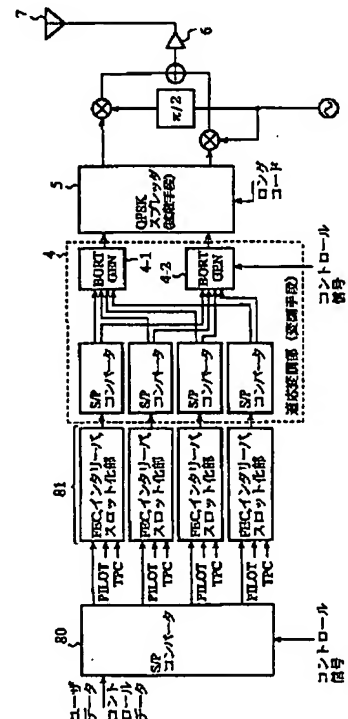
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 可変速度伝送方法および可変速度伝送装置

(57) 【要約】

【課題】 マルチコード多重のCDMA方式では、データレートが高速のとき、パワーアンプが線形性を保つのが困難になるという課題があった。

【解決手段】 データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置であり、データレートがシングルコード当たりの最大伝送レートを越える伝送レートの場合、複数段の陪直交信号発生器のそれぞれが、データ信号の符号化データをWalsh関数に極性を持たせて陪直交信号に変換してQPSKスプレッド5にて拡散変調する可変速度伝送装置。



【特許請求の範囲】

【請求項1】 データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置において、前記データ信号の伝送レートが所定の伝送レート以下の場合には陪直交信号を用いて前記データ信号を2値系列の状態に拡散変調し、データ信号の伝送レートが前記所定の伝送レート以上の場合には前記データ信号の陪直交信号を生成する多段階の陪直交信号発生器を有する変調手段と、前記変調手段で得られた陪直交信号を用いて前記データ信号を2値系列の状態に拡散し伝送する拡散手段とを備えたことを特徴とする可変速度伝送装置。

【請求項2】 所定の伝送レートとは、 512 kbps ($k=4$ 、入力シンボル数4、多重数4)のデータ伝送レートであることを特徴とする請求項1記載の可変速度伝送装置。

【請求項3】 データ信号の多重数が 2^J (J は正の整数、以下同じ)および入力シンボル数が 2^J 、多段階の陪直交信号発生器の段数が J 、符号速度が前記データ信号のシンボル速度の 2^J 倍、および前記データ信号のデータ系列長が 2^J の場合の、多段階の第 J 段における前記陪直交信号発生器の数は 2^{J-1} 個であることを特徴とする請求項1記載の可変速度伝送装置。

【請求項4】 データ信号を受信し復調する復調器において、前記受信したデータ信号に対してFHTを実行することで、多重化された多重信号を分離識別する復調手段を備えたことを特徴とする可変速度伝送装置。

【請求項5】 データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置において、前記データ信号の伝送レートを所定の伝送レートに変換する第1変換手段と、変換された前記データ信号に対して誤り訂正符号化処理を行うFEC処理手段と、前記FEC処理手段から出力されたデータ信号のデータ伝送レートを所定のデータ伝送レートに変換する多段階の変換器からなる第2変換手段と、前記第2変換手段から出力されるデータ信号と同一のデータ伝送レートを持つ制御信号とを入力し、さらに前記FEC処理手段から出力される前記データ信号とを入力して陪直交信号を発生する多段階の陪直交信号発生器からなる変調手段と、前記変調手段で得られた陪直交信号を用いて前記データ信号を2値系列の状態に拡散し伝送する拡散手段とを備えたことを特徴とする可変速度伝送装置。

【請求項6】 データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送方法において、前記データ信号の伝送レートが所定の伝送レート以下の場合には陪直交信号を用いて前記データ信号を2値系列の状態に拡散変調し、データ信号の伝送レートが前記所定の伝送レート以上の場合には、多段階の陪直交信号発生器を用いて前記データ信号の陪直交信号を生成し、得られた前記陪直交信号を用いて前記データ信号を2値系列の状態に拡散し伝送することを特徴とする可変速度伝送方法。

【請求項7】 データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送方法において、前記データ信号の伝送レートを所定の伝送レートに変換し、変換された前記データ信号に対して誤り訂正符号化処理を行い、前記誤り訂正符号化処理で得られたデータ信号のデータ伝送レートを多段階の変換器を用いて所定のデータ伝送レートに変換し、得られたデータ信号と同一のデータ伝送レートを持つ制御信号と前記誤り訂正符号化処理で得られる前記データ信号とを入力し、多段階の陪直交信号発生器を用いて陪直交信号を発生し、得られた前記陪直交信号を用いて前記データ信号を2値系列の状態に拡散し伝送することを特徴とする可変速度伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、CDMA方式の移動通信システムに用いるスペクトル拡散通信装置に関するもので、特に、安定した高速伝送を行うCDMA方式の可変速度伝送方法およびこの方法に基づく可変速度伝送装置に関するものである。

【0002】

【従来の技術】第3世代の移動通信のシステム構築を目指して活発に研究開発が行われている。次世代システムでは、マルチメディア通信が主流になると考えられるため、大容量化および必要最小限の送信電力で、様々なレートのデータをフレキシブルかつ高品質に伝送する機能が求められる。この次世代移動無線アクセスとして、スペクトル拡散通信を用いた多元接続方式、即ち、CDMA (Code Division Multiple Access、符号分割多元接続)方式が注目されている。

【0003】直接拡散によるスペクトル拡散通信は、情報信号に拡散符号を乗積することにより情報信号のスペクトルを広帯域に拡散し、情報信号帯域より広い伝送帯域で情報を伝送する通信であり、秘話性、耐干渉性、耐フェージング性、多元接続性などの特徴を有している。多元接続方式とは、複数の移動局が、基地局と同時に通信する接続方式のことである。スペクトル拡散通信の性能は、拡散率に依存する。拡散率とは、情報信号に誤り訂正符号をかけて得られた送信シンボルを、何チップで拡散するかを表す値であり、換言すれば、拡散符号速度と送信シンボル速度との比である。例えば、情報伝送速度が 512 kbps で、誤り訂正符号化後の送信シンボル速度が 1024 kbps となり、チップ速度が 4.096 Mcps (chip per second)の場合には、拡散率は4となる。また、チップ速度が 4.096 Mcps で波形整形フィルタとしてロールオフ率22%のルートナイキストフィルタを使用する場合、伝送帯域は 5 MHz (4.096×1.22)となる。

【0004】上記したように、スペクトル拡散通信を用いた多元接続方式はCDMAと呼ばれている。このCD

MA方式では、ユーザあるいはチャネル毎に異なる拡散符号を使用し、拡散符号によりユーザあるいはチャネルを識別する。

【0005】CDMA方式は、チャネル容量（同一帯域でのチャネル数）がTDMA（Time Division Multiple Access、時分割多元接続）方式など他の多元接続方式よりも優れていることが、例えば、下記の文献において、ギルハウゼン等により報告されている。文献：“セルラーCDMAシステムの容量について：On the Capacity of a Cellular CDMA System”，IEEE Transactions on Vehicular Technology vol. 40, No2, May, 1991。

【0006】この他にも、CDMA方式は、全ての無線セル（無線ゾーン）において同一の周波数使用を許容するアクセス方式であることから、TDMA方式では困難であったダイバシティ・ハンド・オフ（又は、ソフト・ハンド・オフ）が比較的容易に実現できる利点を有している。さらにTDMA方式では劣化原因となるマルチパス信号をRAKE受信により分離識別し、逆に効果的に合成できることから、少ない送信電力で優れた伝送品質を確保できるという特長も有している。

【0007】図17は、従来のコヒーレント・マルチコード・DS-SS-CDMA（Direct Sequence CDMA）における上りリンク送信系を示すブロック図である。この上りリンク送信系では、1つのフレームの長さは10msであり、ユーザデータとコントロールデータとが時間的に多重化されている。フレーム誤りを検出するため、16ビットCRC（Cyclic Redundancy Check）を付加し、8ビットのテールビット（Tail bit）を付加し、拡散過程の一部に組込まれているレート1/3の畳み込み符号化を行っている。この従来例では、1フレーム毎に誤り検出処理が完結するので、パケット伝送への適用が可能な構造になっている。音声以外の高品質データを送信する場合は、レート1/3の畳み込み符号を内符号とし、外符号に1シンボルを8ビットとするリードソロモン符号RS（36, 32）を用いる接続符号化を適用している。この場合には、ユーザデータが既に外符号で符号化されている。

【0008】図18は、図17に示す従来の上りリンク送信系におけるインタリーブ後の符号化データ（Coded Data）に対して同期検波並びにフェージング推定の為のパilotシンボルの挿入を示す説明図であり、図において、送信データの伝送レート（データレート）が512kbps以下の場合を示す。図17に示すように、ビットインタリーブ後に0.625ms毎のスロットに分割し、各スロットに、図18に示すようにパイロットシンボル（P）、送信電力制御コマンド（TP

C）を挿入し、データ変調（QPSK）を行い、2重拡散コードで拡散変調している。この従来例では、ショート拡散コードとして階層的直交符号を、ロング拡散コードとしてゴールド系列を使用し、拡散変調にはQPSK（下りリンク）、QPSK（上りリンク）を用いている。

【0009】ところで、従来では、1フレーム内のスロット数は16であり、1スロットは、0.625msの時間長を有する。図19は、シングルコード内のデータ伝送速度と拡散率との関係を示す説明図である。誤り訂正符号化、スロット化後のシンボルレートがデータ伝送速度の2倍で、チップ速度が4.096Mcpsと仮定すると、図19に示すように、例えば、データの伝送速度が512kbpsの場合は4ビットの拡散符号で拡散し、データの伝送速度が256kbpsの場合は8ビットの拡散符号で拡散し、データの伝送速度が128kbpsの場合は16ビットの拡散符号で拡散する。即ち、図に示すように、データの伝送速度が512kbps以下の場合は拡散率を変化させてデータをシングルコードで伝送する。但し、所要品質を維持するためには送信情報ビット当たりのエネルギーを一定にする必要がある。従って、拡散率を低くする場合、送信時間が短くなるのでそれに応じて電力を増大させる必要がある。また、データの伝送速度が512kbpsを越える場合は、マルチコード多重伝送する。

【0010】図20、図21は、図17に示す従来の上りリンク送信系におけるコヒーレント・マルチコード多重伝送を示す説明図であり、図20はデータレートが所定のレート、例えば、512kbpsより低い場合、図21はデータレートが512kbpsより高い場合を示す。高速レートのデータ伝送時（512kbps以上）には、送信データ系列を誤り訂正符号化・ビットインタリーブ後に複数のコードチャネルに分割して、それぞれ独立にデータ変調・拡散変調する。又は、誤り訂正符号化部、インタリーブ部を複数系統用いても良い。伝搬路は、全コードチャネルで共通であるので、図21に示す様に、上りリンクでは、フェージング推定用のパイロットシンボルを第1コードチャネルのみに挿入している。

【0011】図20は、マルチコード伝送の場合のフレームの構成を示す説明図である。図において、1フレームは、10msの長さを有し、1スロットは0.625msの長さを有する。図21は、データを符号多重してマルチコード多重伝送する場合の各コードの構成を示す説明図である。図において、コード#1は、Pilot、TPC（Transmission power control）、およびデータ（Data：拡散符号）から構成されている。また、コード#2～コード#Lはデータのみで構成され伝送される。

【0012】これまでは、パイロット、TPCを時間多重する方式について説明したが、従来技術としてIQ多

重する別の方式がある。図22は、I/Q多重方式のシングルコードでのフレーム構成および変調器を示す図であり、データとPilot、TPC、RI(Rate Information: 伝送速度情報)が直交軸で多重化された場合のフレームの構成を示している。図において、(a)は1スロット内で、データとPilot、TPC、RIが時間多重されている場合を示す説明図であり、(b)は、FEC処理部342およびQPSKスプレッド343からなる変調器の構成を示すブロック図である。図22の(b)に示す変調器では、データがFEC処理部342で誤り訂正符号化された後にショートコードcode#1で乗積され、一方、Pilot、TPC、RIはショートコードcode#0で乗積された後、QPSKスプレッド343で拡散される。

【0013】図23は、従来のI/Q多重方式の可変速度伝送装置を示すブロック図であり、マルチコードを用いた場合を示す。図において、まずデータはS/Pコンバータ341へ入力され平行変換された後、FEC処理部342にて誤り訂正符号化処理が実行される。その後、FEC処理部342からの出力は、QPSKスプレッド343へ入力される。図23に示すように、データはFEC処理部342で処理された後、ショートコードcode#1~code#L/2で乗積される。その後、データは、Q軸に関して、code#0で乗積されたパイロット(Pilot)、TPC、RIと共にQPSKスプレッド343内に入力され、ここで拡散された後に出力され外部へ伝送される。

【0014】図24は、I/Q多重方式のマルチコードでのPilot、TPC、RIをI/Q多重化する場合を示すフレーム構成図であり、(a)はI軸での符号化多重におけるフレーム構成を示す説明図であり、(b)はQ軸での符号化多重におけるフレーム構成を示す説明図である。

【0015】

【発明が解決しようとする課題】上記した従来のコヒーレント・マルチコード・DS-CDMA(Direct Sequence CDMA)の上りリンク送信系に代表されるマルチコード多重のCDMA方式では、送信信号のデータレートが高速になるとパワーアンプの線形性を保持することが困難となり、隣接周波数帯への干渉量が增大するという課題があった。即ち、従来のマルチコード多重CDMA方式の通信装置では、送信信号のデータレートが高速になるにつれ、送信電力が増大すると共にマルチコード多重化数も増大し、その結果、多重化後の包絡線の変動幅が大きくなる。電力増幅に使用されるパワーアンプHPA(High Power Amplifier)は、通常、一定範囲内(線形帯域内)の振幅変動に対しては忠実に電力増幅を行うが、振幅変動幅がその限界を超えた場合には、入出力間の線形性を保持できなくなり、非線形性に起因する歪みが隣接周波数帯

への干渉量の増大を招くという課題があった。また、隣接のチャンネルへ漏洩電力のレベルが増大することを回避するためには、HPAの線形性に対する要求を満足させる必要があり、この場合、消費電力が増大し、またハードウェアのコストが増大するという課題があった。

【0016】ところで、2Mbpsのデータ伝送を行う場合には、周波数の有効利用の観点から20MHzの周波数伝送帯域が必要であると言われている。即ち、周波数の有効利用を図るには、2Mbpsユーザと他のユーザとの共存が必要であり、また耐干渉性、耐マルチパス特性を確保するためには最低限20MHzの周波数伝送帯域が必要であると言われている。しかしながら、20MHzの周波数伝送帯域を各ユーザに割り当てることは困難な場合、またこの要求をハードウェアで実現する場合、約40~80MHzのクロック速度が必要とされ、信号処理で必要とされるメモリのサイズも大きくなりその実現がハードウェア的に困難である場合に、例えば、5MHzの周波数伝送帯域で、2Mbpsのデータ伝送を実現したいという要望があった。

【0017】この場合、従来のI/Q多重方式の可変速度伝送装置では、拡散率が4の場合、最大マルチコード数が4となるが、Q軸で、Pilot、TPC、RIを多重化するので、データチャンネルに使用できるマルチコード数はそれぞれ3となり、最高伝送速度が制限されるという課題があった。

【0018】図25は、この課題に対して考えられる一解決法を示すもので、I/Q多重方式による従来の他の可変速度伝送装置を示すブロック図である。図において、371は、速度変換装置並びにS/Pコンバータ、372は誤り訂正符号化処理を行うFEC処理部、373はS/Pコンバータ、374は加算器、375はQPSKスプレッドである。図25に示す従来の可変速度伝送装置では、シンボル速度が低速であるパイロット、TPC等の制御チャンネルに対応した符号長の直交符号を割り当てることにより、制御チャンネルの多重化に伴う直交符号の効率低下を抑えている。例えば、同図の場合、データチャンネルに対して制御チャンネルのシンボル速度が1/4である場合には、S/Pコンバータ373により、シンボルレートが1/4になるまでデータを分割する。制御チャンネルと速度が同一になった時点で制御チャンネルが使用する直交符号以外の符号を割り当てることにより、図23に示す構成では伝送することができなかった、code#8__1、code#16__1に対応する速度のデータを伝送することが可能となる。図25のFEC処理部の出力でS/Pコンバータ373に入力されるものは、制御チャンネルが多重化されるため、他のFEC処理部からの出力よりもデータ伝送速度が低下する。そのため、S/Pコンバータ371は、単なるS/Pコンバータではなく、速度の低下を吸収する速度変換機能を有している。速度変換機能は、例えば、データバッファ等を

用いて構成される。尚、制御チャネルはこの場合I軸成分にも入力することが可能である。

【0019】図26は、図25に示したI/Q多重方式による従来の可変速度伝送装置の動作において、系列長の異なる直交符号（階層的直交符号）の関係を示す説明図である。図において、 $c*_\#$ は、系列長 $*$ の直交符号の第 $\#$ 番目を示す記号である。例えば、同じ系列長の直交符号は互いに直交し、系列長の異なる直交符号も直交するが、同じファミリーに属する符号では、上位の符号が使用されている場合使用できない。例えば、図26において、 $c4_0$ が使用されている場合、 $c8_0$ 、 $c8_1$ 、 $c16_0 \sim c16_3$ は使用できない。逆に、 $c4_0$ が使用されていない場合では、 $c8_0$ 、 $c8_1$ を使用することができる。これらの $c8_0$ 、 $c8_1$ は、 $c4_1 \sim c4_3$ 、 $c8_2 \sim c8_7$ 、 $c16_4 \sim c16_15$ と直交する。但し、 $c8_0$ を使用している場合、 $c16_0$ 、 $c16_1$ を使用することはできない。この性質を用いれば制御チャネルに $c4_0$ でなく $c16_0$ を割り当てることにより、 $c16_1$ 、 $c8_1$ を用いた直交多重化が可能となる。図25に示した構成により、レートの高いデータをマルチコード多重することにより、最大伝送速度を増大させることは可能であるが、マルチコード数が更に増大し、HPAに要求される線形性が一層厳しくなるという課題があった。

【0020】また、パイロット等のコントロールデータを時間多重する場合は、従来の技術では、データ伝送速度が512Kbpsを越える場合は、シンボル速度が1.024Kbpsの時、拡散率は4となるため、耐マルチパス性能が低下し、さらに、マルチコード数が最大の4となると、増幅器であるHPAの線形性に対する要求が厳しくなるという課題があった。

【0021】この発明は、上記のような課題を解決するためになされたもので、データレートが高速の場合でもHPAの線形性に対する要求を緩和でき、また簡単なハードウェア構成で、高速でかつ高品質のデータ伝送を提供可能な可変速度伝送方法およびこの可変速度伝送方法を用いた可変速度伝送装置を得ることを目的とする。

【0022】また、この発明は、時間多重方式およびI/Q多重方式の可変速度伝送装置において、多重度および誤り率特性をマルチコードと同等にし、増幅器であるHPAの出力の線形性に対する要求を緩和させ、即ち、HPAの線形性を保持し、簡単なハードウェア構成で、高速でかつ高品質のデータ伝送を提供可能な可変速度伝送方法およびこの可変速度伝送方法を用いた可変速度伝送装置を得ることを目的とする。

【0023】

【課題を解決するための手段】この発明に係る可変速度伝送装置は、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置であり、前記データ信

号の伝送レートが所定の伝送レート以下の場合は、陪直交信号を用いて前記データ信号を2値系列の状態で拡散変調し、データ信号の伝送レートが前記所定の伝送レート以上の場合は、前記データ信号の陪直交信号生成する多段階の陪直交信号発生器を有する変調手段と、前記変調手段で得られた陪直交信号を用いて、前記データ信号を2値系列の状態で拡散し伝送する拡散手段とを備え、増幅器であるHPAの出力の線形性に対する要求を緩和させ、効率良くデータ信号を高速に伝送するものである。

【0024】この発明に係る可変速度伝送装置では、所定の伝送レートとは、512Kbps（ $k=4$ 、入力シンボル数4、多重数4）のデータ伝送レートであるとするものである。

【0025】この発明に係る可変速度伝送装置では、データ信号の多重度が 2^J （ J は正の整数、以下同じ）およびシンボル数が 2^J 、多段階の陪直交信号発生器の段数が J 、符号速度が前記データ信号のシンボル速度の 2^J 倍、前記データ信号のデータ系列長が 2^J の場合では、前記多段階の第 J 段における前記陪直交信号発生器の数を 2^{J-1} 個とするものである。

【0026】この発明に係る可変速度伝送装置は、データ信号を受信し復調する復調器において、前記受信したデータ信号に対してFHTを実行し多重化された多重信号を分離識別する復調手段を備えたものである。

【0027】この発明に係る可変速度伝送装置は、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置であり、前記データ信号の伝送レートを所定の伝送レートに変換する第1変換手段と、変換された前記データ信号に対して誤り訂正符号化処理を行うFEC処理手段と、前記FEC処理手段から出力されたデータ信号のデータ伝送レートを所定のデータ伝送レートに変換する多段階の変換器からなる第2変換手段と、前記第2変換手段から出力されるデータ信号と同一のデータ伝送レートを持つ制御信号とを入力し、さらに前記FEC処理手段から出力される前記データ信号とを入力し、陪直交信号を発生する多段階の陪直交信号発生器からなる変調手段と、前記変調手段で得られた陪直交信号を用いて、前記データ信号を2値系列の状態で拡散し伝送する拡散手段とを備えたものである。

【0028】この発明に係る可変速度伝送方法は、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送方法において、前記データ信号の伝送レートが所定の伝送レート以下の場合は陪直交信号を用いて前記データ信号を2値系列の状態で拡散変調し、データ信号の伝送レートが前記所定の伝送レート以上の場合は、多段階の陪直交信号発生器を用いて前記データ信号の陪直交信号を生成し、得られた前記陪直交信号を用いて前記データ信号を2値系列の状態で拡散し伝送することを特徴とするものである。

【0029】この発明に係る可変速度伝送方法は、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送方法において、前記データ信号の伝送レートを所定の伝送レートに変換し、変換された前記データ信号に対して誤り訂正符号化処理を行い、前記誤り訂正符号化処理で得られたデータ信号のデータ伝送レートを多段階の変換器を用いて所定のデータ伝送レートに変換し、得られたデータ信号と同一のデータ伝送レートを持つ制御信号と前記誤り訂正符号化処理で得られる前記データ信号とを入力し、多段階の陪直交信号発生器を用いて陪直交信号を発生し、得られた前記陪直交信号を用いて前記データ信号を2値系列の状態に拡散し伝送することを特徴とするものである。

【0030】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1は、この発明の実施の形態1による可変速度伝送装置を示すブロック図であり、図において、80はシリアル/パラレルコンバータ(S/Pコンバータ)であり、ユーザデータおよびコントロールデータのデータ信号を複数のパラレル信号に変換する。ユーザデータは、既にリードソロモン符号等の外符号により誤り訂正符号化されていることもある。81はフォワードエラー訂正部(Forward Error Correcting部:FEC部、信号処理手段)であり、その機能としては、誤り訂正符号(畳み込み符号)化処理、インタリーブ処理、およびCRCの付加、スロット化、パイロットシンボルの挿入等の一連の処理を行う。4は陪直交信号を用いてデータ信号を2値系列の状態に変調して、伝送する適応変調部(変調手段)であり、例えばWalsh関数に基づいて陪直交信号を発生する複数の陪直交信号(Bi-Orthogonal signal:BORT)発生部4-1、4-2を備えている。5はQPSK(Quarternary Phase Shift Keying:QPSK)スプレッド(拡散手段)、6はパワーアンプ、7はアンテナである。

【0031】図2は入力信号のデータレートが512kbps($k=1$)の場合の可変速度伝送装置を示すブロック図、図3は入力信号のデータレートが1024kbps($k=2$)の場合の可変速度伝送装置を示すブロック図、図4は入力信号のデータレートが1536kbps($k=3$)の場合の可変速度伝送装置を示すブロック図、図5は入力信号のデータレートが2048kbps($k=4$)の場合の可変速度伝送装置を示すブロック図であり、それぞれ実施の形態1の可変速度伝送装置の各データレートにおける等価回路を示している。ここで、 K は、陪直交信号に含まれる符号化ビット(符号化データ)数を示している。

【0032】図6(a)は、 $k=2$ の場合の陪直交信号発生部(BORT GEN)4-1、4-2を示すブ

ック図であり、24はシンボルマッピング部である。図6(c)は、 $k=2$ の陪直交信号発生部を2段用いて、等価的に $k=4$ を実現する多段階の陪直交信号発生部である。

【0033】図7は、陪直交信号発生部4-1、4-2の詳細($k=3$ の場合)を示すブロック図である。図7において、(a)は陪直交信号発生部4-1、4-2を示しているブロック図であり、24はシンボルマッピング部である。(b)は陪直交信号発生部4-1、4-2へ入力される入力情報データと陪直交信号の出力データとの関係を示す説明図、(c)は直交信号発生部22の詳細を示すブロック図であり、図において、221~222はAND回路、224はEXOR回路である。

【0034】図1~図7に示す実施の形態1の可変速度伝送装置は、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送装置であり、陪直交信号を用いてデータ信号の伝送を行うものである。データ信号の伝送レートが所定の伝送レート(例えば、512kbps)を越えるレートである場合、適応変調部4内のそれぞれの陪直交信号発生部4-1、4-2が、符号化データをWalsh関数に極性を持たせた陪直交信号に変換し、その出力をQPSKスプレッドにて拡散変調する。即ち、2値系列の陪直交信号が複数の符号化データを伝送するためマルチコード多重化時に生じる包絡線変動を伴わずに、効率よくデータ伝送を行うものである。

【0035】次に動作について説明する。まず、図1に示した実施の形態1の可変速度伝送装置におけるS/Pコンバータ80は、所定のデータ伝送レートのユーザデータおよびコントロールデータを入力する。所定のデータ伝送レートは、例えば、8、16、32、64、128、256、512、1024、1536、2048kbps等々である。この実施の形態1では、データレートが512kbpsを越えた場合において、陪直交信号を用いてデータ信号を2値系列の状態に拡散・変調し、効率よくデータ伝送を実行することに特徴がある。データ伝送速度から512kbps以下の時は図19に示す従来例を説明した場合と同様の処理を行うので、陪直交信号を用いない。

【0036】次に、高速データ伝送時の動作について説明する。S/Pコンバータ80は、高速データレートの入力信号を入力し、パラレルデータ信号に変換する。FEC部81は、S/Pコンバータ80で変換された最大4つのパラレルデータ信号を入力し、誤り訂正符号化処理、畳み込み符号化処理、インタリーブ処理、CRCの付加、スロット化、パイロットシンボルの挿入等の一連の処理を行う。各FEC部81から出力されたパラレルデータ信号は、実施の形態1の可変速度伝送装置における適応変調部4内に入力される。

【0037】適応変調部4では、データ伝送レートが512kbpsを越えるデータの各データ伝送レートの場

合に応じて、コントロール信号に従ってWalsh関数系列を選択し、入力される符号化データに応じ極性付のWalsh関数を選択し、陪直交信号として出力する。即ち、コントロール信号は、データに応じた K （符号化ビット数）を選択する。適応変調部4の機能および構成は後で詳細に説明する。尚、パイロット、TPCは共通で1つしかないので、ここでは、BORTは実行上BPSK変調となる。

【0038】QPSKスプレッド5は、適応変調部4から出力された複数の符号化データ情報を有する2系統の陪直交信号を入力とし、ロングコードを用いてQPSK拡散変調を行う。QPSKスプレッド5の機能および構成は従来のものと同様で、2系統の信号を dI 、 dQ 、ロングコードを PNI 、 PNQ とすれば $(dI + jdQ) \cdot (PNI + jPNQ)$ の複素乗算操作で実現される。QPSKスプレッド5でQPSK拡散変調された信号は、直交搬送波を用いてQPSKキャリア変調が実行された後、パワーアンプ6で増幅され、アンテナ7を経由して外部へ送信される。

【0039】図3は、入力信号のデータ伝送レートが 1024kbps ($k=2$) の場合の変速度伝送装置を示すブロック図である。データの伝送レートが 1024kbps の場合は、S/Pコンバータ80は、入力データを2つのパラレル信号に分割して出力し、FEC処理部81で一連の処理が行われ、適応変調部4へ入力され、S/Pコンバータ80を介し、図6(a)の構成で図6(b)の入出力関係則に従って、Walsh関数の $W2(0)$ と $W2(1)$ のいずれか1つで極性を有する陪直交信号を出力する。

【0040】図4は、入力信号のデータレートが 1536kbps ($k=3$) の場合の変速度伝送装置を示すブロック図である。データレート 1536kbps の場合は、S/Pコンバータ80で3分割され、FEC、インタリーブ、スロット化部81からの3系統の入力データをそれぞれ3つのパラレル信号として出力し、極性付きのWalsh関数の $W4(0) \sim W4(3)$ のいずれか1つを選択して陪直交信号として出力する。

【0041】図5は、入力信号のデータレートが 2048kbps ($k=4$) の場合の変速度伝送装置を示すブロック図である。データレートが 2048kbps の場合は、S/Pコンバータ80で4分割され、FEC、インタリーブ、スロット化部81内の各スロット化部からの4系統の入力データを4つのパラレル信号に分割し出力し、図6(c)で示される $k=2$ の陪直交信号発生部を2段用いて、4つの入力信号を等価的に $k=4$ の2値系列の信号に変換して出力する。尚、多段構成の場合については、実施の形態2で詳細に説明する。

【0042】図2は、入力信号のデータレートが 512kbps ($k=1$) の場合の変速度伝送装置を示すブロック図である。このデータレート以下の場合、陪直

交信号を生成することなく、図19に示される従来の拡散率を変化させる方法によりデータ伝送する。この場合の構成および動作は、従来のものと同じなのでその説明を省略する。しかしながら、入力信号のデータレートが 512kbps ($k=1$) であることをコントロール信号が示す場合、図1に示す陪直交信号発生部4-1、4-2の構成において、入力信号をS/Pコンバータ21内で何も操作させることなく通過させ、つまり、データレートが 512kbps 以下の場合に、S/Pコンバータ80内でシリアル/パラレル変換が行われないうようにして、かつ直交信号発生部22の出力を常にロウレベルに設定するように構成することで、図3~5に示した入力信号のデータレートが 1024kbps ($k=2$)、 1536kbps ($k=3$)、 2048kbps ($k=4$) の場合と同一の構成で対応することができる。

【0043】次に、この実施の形態1の変速度伝送装置および変速度伝送方法における適応変調部4を構成する陪直交信号発生部4-1、4-2の動作について説明する。適応変調部4を構成する陪直交信号発生部4-1、4-2の各動作に関し、以下では、入力信号のデータレートが 1536kbps ($k=3$) の場合、つまり入力データが3入力ビット($d0 \sim d2$)で、1系列の陪直交信号を発生する場合について説明を行う。その他の場合の動作は、 $k=2$ の陪直交信号発生部を多段階接続する場合を除き、基本的に以下の説明と同様なので、ここでは説明を省略する。

【0044】適応変調部4内の各陪直交信号発生部4-1、4-2へは、それぞれ、3ビットパラレルデータ($d0$ 、 $d1$ 、 $d2$)がシンボルマッピング部に入力される。

【0045】図7(a)に示されるように、シンボルマッピング部24は極性ビット $d0$ とその他の入力データ $d1$ 、 $d2$ との間でEXOR演算を行った後、直交信号発生部22に入力される。その結果直交信号発生部22には $d'1$ 、 $d'2$ が入力されることになる。入力データ $d0$ 、 $d1$ 、 $d2$ と陪直交信号の関係は図7(b)に示される。この場合のシンボルマッピングは全ビットが互いに反転関係にある入力ビットを同一の直交関数で極性が異なる陪直交信号に割り当てることを意味する。即ち、($d0$ 、 $d1$ 、 $d2$)が(0, 0, 0)と(1, 1, 1)はそれぞれ、 $W4(0)$ 、 $-W4(0)$ に割り当てられる。同様に(0, 0, 1)と(1, 1, 0)は、それぞれ $W4(1)$ と $-W4(1)$ に割り当てられる。

【0046】陪直交信号は直交関数間の信号距離よりも同一直交関数で符号が異なる信号距離の方が大きくなるため、同一直交関数で極性の異なる信号間での誤る確率は最小となる。即ち、このようなマッピングを行うことにより、復調時に全てのビットを誤って復調する確率を最小とすることができる。直交信号発生部22では、3

ビットパラレルデータのうち、コントロール信号の値 ($=k$) に基づいて、 $2 (=k-1)$ ビットデータ ($d'1, d'2$) により4つ ($=2^{k-1}$) 直交信号である直交符号の中から選択された1つの直交信号が発生される。

【0047】EXOR回路23は、直交信号発生部22より得られた直交信号と、 $d0$ との間でEXOR処理を行うことで極性操作を実行し、陪直交信号を生成し外部へ出力する。

【0048】この実施の形態1の可変速度伝送方法および可変速度伝送装置では、直交信号を得るためWalsh関数符号系列を用いる。この場合、3ビットパラレルデータ $d0 \sim d2$ の値により、図7の(b)に示すWalsh関数系列 $W4(n)$ ($n=0 \sim 3$) が直交信号として出力される。即ち、3ビットパラレルデータの中の2ビット ($d'1, d'2$) の値により、系列長4の4種類のWalsh関数系列から1つの関数系列を選択されることになる。 $W4$ は、系列長が4のWalsh関数を示すものであり、括弧内の数字 $0 \sim 3$ は、関数番号を示す。直交信号として選択されたWalsh関数系列は、3ビットパラレルデータの1ビットデータ ($d0$) の値に従って反転あるいは非反転され、結果が陪直交信号として出力される。従って、陪直交信号は、系列長4の符号系列から構成され、3ビットの情報を含んでいることになる。

【0049】尚、デジタル値の反転、非反転操作は、 $0, 1$ の2値表示の場合は、排他的論理和ゲートが行い、 $+1, -1$ の場合は乗算器が行う。ここでは $0, 1$ の2値表示を用いて説明を行っている。また、以下の説明では、Walsh関数系列の最初から最後まで持続時間を周期と呼び、Walsh関数を構成する符号の間隔を符号間隔、符号間隔の逆数を符号速度と呼ぶ。

【0050】直交信号として、Walsh関数を使用する場合、図7の(c)に示す直交信号発生部22は、符号速度 ($=1/T_{mc}$, T_{mc} : 符号間隔) の $1/2, 1/4$ の速度のクロック225, 226と、入力データ $d'1, d'2$ との論理積演算を行うAND回路221 \sim 222、および2つのAND回路221, 222の出力の排他的論理和演算を行うEXOR回路224から構成されている。符号速度のクロックは、ハードウェアの構成上不可欠のクロックであり、その $1/2, 1/4$ の速度のクロックは、基本クロックをカウンタ等の分周回路により生成する。

【0051】今、直交信号発生部の信号生成過程を明らかにするために、 $d0=0$ の場合を考える。 $d0=0$ であれば、EXOR出力が $d'1=d1, d'2=d2$ となる。直交信号発生部22は、Walsh関数を選択的に選択し直交信号を生成できる。Walsh関数は、 2^k 行 $\times 2^k$ 列のアダマル行列 $H(N)$ の行ベクトルとして定義され、 2^{k-1} 行 $\times 2^{k-1}$ 列のアダマル行列 H

($N/2$) を繰り返した [$H(N/2), H(N/2)$] および反転させて繰り返した [$H(N/2), H^*(N/2)$] から次数をあげて拡大的に作成される。ここで記号 $*$ は反転行列を示している。

【0052】基準となる $H1$ は、第1行が $[0, 0]$ 、第2行が $[0, 1]$ であり、それぞれ、 $W2(0), W2(1)$ に対応する。 $H2$ は、 $H1$ から $[H1, H1], [H1, H^*1]$ のように作成される。この結果、 $[0000], [0101], [0011], [0110]$ の4つの行ベクトルが得られ、それぞれ図7の(b)に示す $W4(0) \sim W4(3)$ にそれぞれ対応する。ここで、 $W4(0)$ と $W4(1), W4(2)$ と $W4(3)$ とを比較すると、最下位ビットから見て奇数番目のビットと直後の偶数番目のビットが同一か反転かに分類される。

【0053】同一なのは、 $W4(0), W4(2)$ であり、反転しているのは、 $W4(1), W4(3)$ である。このように同一か、反転しているかの判断は、図7の(b)に示すデータの最下位ビット $d2$ の値に対応している。即ち、最下位ビット $d2$ が0ならば同一であり、最下位ビット $d2$ が1ならば反転となる。1ビットごとの反転は、符号速度の $1/2$ クロック225で実現される。そして、これを採用するか否かは最下位ビット $d2$ に依存しており、論理積回路であるAND回路221を介して実現される。

【0054】最下位ビットから2ビットずつ2つのペアに分割した場合、 $W4(0)$ と $W4(2), W4(1)$ と $W4(3)$ とをそれぞれ比較すると、 $W4(0), W4(1)$ は2連ビットが同一であり繰り返されているのに対して、 $W4(2), W4(3)$ は2連ビットが反転して繰り返されている。この同一か反転かの判断は、図7の(b)に示すデータの第2ビット $d1$ の値に対応している。即ち、第2ビット $d1$ が0ならば同一であり、第2ビット $d1$ が1ならば反転となる。2ビット単位の反転は符号速度の $1/4$ クロック226で実現される。そして、これを採用するか否かは第2ビット $d1$ に依存しており、論理積回路であるAND回路222を介して実現される。

【0055】このように、直交信号発生部22は、生成が容易なクロックおよび入力データのみで特定の直交信号を生成できるので、これを組み込めば簡単なハードウェア構成でパワーアンプの線形性を保持できる機能を備えた送信機を実現できる。また、直交信号の生成が容易なので、陪直交信号発生部4-1, 4-2における陪直交信号の生成も容易に実現できる。受信機においては、陪直交信号を復調する操作が必要であるが、送信機側でWalsh関数を直交関数として使用している場合、高速アダマル変換(Fast Hadamard Transformer: FHT)を行うことで、復調処理を容易に実行できるので、簡単なハードウェア構成で受

信機を構成でき、復調処理を簡単にすることができる。

【0056】上記の例では、陪直交信号を得るため直交信号としてWalsh関数を選択して出力する直交信号発生部22を用いたが、この発明の可変速度伝送方法および可変速度伝送装置はこれに限定されることなく、例えば、Walsh関数の代わりに直交ゴールド信号系列等を直交関数に使用してもよい。

【0057】このように、実施の形態1の可変速度伝送方法および可変速度伝送装置では、最初にデータ信号をシリアル/パラレル変換し、得られたパラレルデータ信号に対して誤り訂正符号等の一連の信号処理を行い、マルチコードを用いないで陪直交信号を生成して複数の信号系統を送信する。

【0058】以上のように、この実施の形態1によれば、高速データレートの入力信号を最初にシリアル/パラレル変換を行って複数個の拡散符号チャンネルに分離された後に、誤り訂正符号等の一連の信号処理を行い、マルチコードを使用しないで陪直交信号を生成して複数の信号系統を送信する。基本レート以上のデータレートの信号伝送の場合において、シンボルを拡散する部分でWalsh関数で得られる陪直交信号を用いてデータ信号を2値系列の状態では拡散変調し伝送するので、高速のデータレートの場合でもパワーアンプ6の線形性を保持することができ、隣接周波数帯に干渉を与えることなく高品質のデータ伝送を行うことができる。また、Walsh関数を用いるのでハードウェアの構成が容易で、復調処理も簡単な構成で実現できる。また、Walsh関数を用いて、陪直交信号を生成するのでデータ誤り率特性が向上し、より高品質のデータ伝送を行うことができる。尚、実施の形態では、拡散変調としてQPSKスプレッドを用いている。この場合、陪直交信号が2系統入力されているが、QPSKであるため、通常のQPSKと同様に包絡線変動は生じない。

【0059】実施の形態2。図8は、この発明の実施の形態2の可変速度伝送装置を示すブロック図であり、図において、151は入力データをシリアルからパラレル変換するS/Pコンバータ、152はS/Pコンバータ151で変換されたパラレルデータに対して誤り訂正符号化処理(FEC処理: Forward Error Correction)を実行するFEC処理部であり、ビットインタリーブ、スロット化処理を含んでいる。尚、入力データはリードソロモン符号等の外符号によって誤り訂正符号化されている場合がある。153は、FEC処理部152から出力されたデータをパラレルデータに変換するS/Pコンバータである。154は、 $k=2$ の場合の陪直交信号発生器(BORT GEN)を複数段有する陪直交信号発生部155からなる適応変調部(変調手段)、157はQPSKスプレッド(拡散手段)、158はQPSKスプレッド157から出力された出力信号を送信データとして外部へ送信する

アンテナである。

【0060】図8に示す実施の形態2の可変速度伝送装置では、 $k \leq 3$ の場合はシングルコード、 $k=2$ 、 $k=3$ の陪直交信号を用いて信号を伝送し、 $k=4$ の場合は多段階の陪直交信号発生器を用いて多段階の陪直交信号($k=2$)を生成して高速伝送を行うものである。即ち、適応変調部154において、 $k \leq 3$ の場合はシングルコード、 $k=2$ 、 $k=3$ の陪直交信号を生成する。そして、 $k=2^J$ ($J \geq 2$)の場合は、多段階の陪直交信号発生器を用いて多段階の陪直交信号($k=2^J$)を生成する。尚、この可変速度伝送装置で独立した複数のデータを送信する場合は、S/Pコンバータ151へパラレルデータが入力され、コントロール信号の制御によりS/P変換は行わずに、パラレルの入力データはS/Pコンバータ151を通過する。

【0061】図9は、図8に示した実施の形態2の可変速度伝送装置内の適応変調部154を構成する多段階の陪直交信号発生部155の構成を示すブロック図($k=8$ の場合)であり、図において、161~164のそれぞれは、 $k=2$ の陪直交信号発生器である。また、 k は陪直交系列が運搬する入力ビット数であるとする。図9に示す構成の陪直交信号発生部155は、多段階が3段の陪直交信号発生器161~165から構成されている。また、図9において、 $s_0 \sim s_7$ のそれぞれは、FEC処理部152から出力された1ビットのデータであり、 $a_0 \sim a_7$ は、1段目の陪直交信号発生部161および162のそれぞれから出力されたビットデータであり、 $b_0 \sim b_7$ は、2段目の陪直交信号発生部163および164のそれぞれから出力されたビットデータであり、 $c_0 \sim c_7$ は、最終段である3段目の陪直交信号発生部165から出力されたビットデータである。

【0062】図6は、複数段階の陪直交信号発生器(BORT GEN)におけるデータ系列の入出力を示した説明図であり、(a)は各々の陪直交信号発生器の構成を示すブロック図、(b)は(a)に示した陪直交信号発生器におけるデータの入出力の関係を説明図、

(c)、(d)はそれぞれ2段階、3段階の陪直交信号発生器からなる陪直交信号発生部を示すブロック図、

(e)は多重化数 2^J のJ段階の陪直交信号発生器からなる陪直交信号発生部の構成を示すブロック図である。図6の(a)に示すように、1個の陪直交信号発生器は、EXOR回路、Walsh関数(W2)発生器、EXOR回路を直列接続した構成になっており、 s_0 、 s_1 は入力ビットデータ、 a_0 、 a_1 は出力ビットデータである。これらの入力ビットデータ s_0 、 s_1 と出力ビットデータ a_1 、 a_1 との対応関係を(b)に示す。

(c)、(d)に示すように2段階、3段階の陪直交信号発生器の場合、入力ビットデータは $s_0 \sim s_3$ 、 $s_0 \sim s_7$ である。

【0063】この実施の形態2の可変速度伝送装置は、

$k = 2^J$ の場合、入力データ信号を J 段の陪直交信号発生器により陪直交信号を用いてデータ信号の伝送を行うものである。陪直交信号発生部 155 は、一般的には複数段の陪直交信号発生器から構成されるが、この実施の形態 2 では、段数が 3 段の陪直交信号発生器 161 ~ 164 を備えた場合を示している。そして、入力データ信号の伝送レートが所定の伝送レート（例えば、512 kbps）を越える伝送レートである場合、複数段の陪直交信号発生器 161 ~ 164 のそれぞれが、符号化データを Walsh 関数に極性を持たせた陪直交信号に変換し、変換された出力を QPSK スプレッド 157 にて拡散変調するものである。

【0064】即ち、実施の形態 2 の可変速度伝送装置は、2 値系列の陪直交信号が複数の符号化データを伝送するため、従来の可変速度伝送装置のように、マルチコード多重化時に生じる包絡線変動を伴わずに、効率良く高速のデータ伝送を行うものである。尚、この実施の形態 2 の可変速度伝送装置は、一例として 3 段階の陪直交信号発生器 161 ~ 164 を備えた場合を示しているが、この発明はこの例に限定されるものではなく、用途に応じて複数段の陪直交信号発生器を備えた構成の陪直交信号発生部を用いることができる。

【0065】次に動作について説明する。図 10 は、図 8 に示す可変速度伝送装置内の FEC 処理部 152 から出力されたデータ系列を、S/P コンバータ 153 にてシリアルパラレル変換して得られるデータ系列のパターンを示す説明図であり、図 10 の (a) は、 $k = 4$ の場合の送信シンボル $s_0 \sim s_3$ 、 $a_0 \sim a_3$ 、および $b_0 \sim b_3$ との間の陪直交信号発生器の入出力の相対関係を示す説明図であり、(b) は $k = 8$ の場合の送信シンボルであるビットデータ $s_0 \sim s_7$ 、 $a_0 \sim a_7$ 、 $b_0 \sim b_7$ 、および $c_0 \sim c_7$ との間の陪直交信号発生器の入出力の相対関係を示す説明図である。

【0066】即ち、図 9 および図 6 (c)、(d) に示した 1 段目の陪直交信号発生器 161 および 162 では、送信シンボルであるビットデータ $s_0 \sim s_3$ 、 $s_0 \sim s_7$ から $a_0 \sim a_3$ 、 $a_0 \sim a_7$ の系列長 8 の陪直交系列が生成される。具体的には、陪直交信号発生器 161、162 により、送信シンボルであるビットデータ $s_0 \sim s_3$ 、 $s_0 \sim s_7$ から $a_0 \sim a_3$ 、 $a_0 \sim a_7$ の系列長 8 の陪直交系列が、ビットデータ s_2 、 s_3 により a_2 、 a_3 の系列長 2 の陪直交系列が、(d) の場合は更にビットデータ s_4 、 s_5 により a_4 、 a_5 の系列長 2 の陪直交系列が、そしてビットデータ s_6 、 s_7 により a_6 、 a_7 の系列長 2 の陪直交系列が、それぞれ生成される。また、2 段目の陪直交信号発生器 163 により、ビットデータ a_0 、 a_2 から b_0 、 b_1 の系列長 2 の陪直交系列が、同様に、ビットデータ a_1 、 a_3 から b_2 、 b_3 の系列長 2 の陪直交系列が、(d) の場合は更にまたビットデータ a_4 、 a_6 により b_4 、 b_5 の系

列長 2 の陪直交系列が、ビットデータ a_5 、 a_7 により b_6 、 b_7 の系列長 2 の陪直交系列がそれぞれ生成される。図 16 の上部で示したように、 $k = 4$ の場合は、上記した陪直交信号発生器 161 および 163 により陪直交系列が得られた段階で陪直交信号の発生は終了する。

【0067】図 9 および図 6 (d) に示したように、 $k = 8$ の場合では、さらに 3 段目の陪直交信号発生器 164 により、ビットデータ b_0 、 b_4 により c_0 、 c_1 の系列長 2 の陪直交系列が生成される。同様に、ビットデータ b_1 、 b_5 により c_2 、 c_3 の系列長 2 の陪直交系列が、またビットデータ b_2 、 b_6 により c_4 、 c_5 の系列長 2 の陪直交系列が、ビットデータ b_3 、 b_7 により c_6 、 c_7 の系列長 2 の陪直交系列がそれぞれ生成される。 $k = 8$ の場合は、この段階で陪直交信号の発生は終了する。

【0068】図 6 (d) に示した複数段 (k 段) の陪直交信号発生器を備えた陪直交信号発生部では、符号速度並びに系列長は段数が増加するに従って、それぞれ 2 倍に増加する。即ち、多重数を 4 に設定する場合、入力シンボル数は 4 であり、陪直交信号発生部は、1 段目の陪直交信号発生器を 2 個、そして 2 段目の陪直交信号発生器を 1 個備えた 2 段構成となり、符号速度はシンボル速度の 4 倍で、出力は系列長が 4 の 2 段の陪直交系列となる。また、多重数を 8 に設定する場合、入力シンボル数は 8 であり、陪直交信号発生部は、1 段目の陪直交信号発生器を 4 個、2 段目の陪直交信号発生器を 2 個、そして 3 段目の陪直交信号発生器を 1 個備えた 3 段構成となり、符号速度はシンボル速度の 8 倍で、出力は系列長が 8 の 3 段陪直交系列となる。

【0069】さらに、多重数を 16 に設定する場合では入力シンボル数は 16 であり、陪直交信号発生部は、1 段目の陪直交信号発生器を 8 個、2 段目の陪直交信号発生器を 4 個、3 段目の陪直交信号発生器を 2 個、そして 4 段目の陪直交信号発生器を 1 個備えた 4 段構成となり、符号速度はシンボル速度の 16 倍で、出力は系列長が 16 の 4 段陪直交系列となる。一般的には、多重数を 2^J に設定する場合、入力シンボル数は 2^J であり、陪直交信号発生部は、第 N 段では 2^{J-1} 個の陪直交信号発生器を備え、符号速度はシンボル速度の 2^J 倍で、出力は系列長が 2^J の J 段陪直交系列となる。

【0070】図 11 は、図 8 に示した複数段の陪直交信号発生器を備えた適応変調部を有する可変速度伝送装置としての送信機から出力された送信信号を受信し、復調する受信機としての可変速度伝送装置を示すブロック図であり、図において、191 は電波を受信するアンテナ、192 は QPSK デスプレッド (QPSK Despreader)、193 および 196 は多段階復調器 (復調手段) であり、必要に応じて複数個の多段階復調器が QPSK デスプレッドに接続される。多段階復調器のそれぞれは、QPSK デスプレッド 192 からの出力

データをシリアルパラレル変換するS/Pコンバータ194と、S/Pコンバータ194からのデータに対して高速アダマール変換(FHT:Fast Hadamard Transform)を実行する高速アダマール変換器195から構成される。

【0071】図12は、図6、9、10で示した複数段階の陪直交信号を生成し送信する送信機としての可変速度伝送装置から送信された送信シンボルデータを、アンテナ191を介して受信し、受信して得られた受信シンボルデータ系列 $c_0 \sim c_7$ の復調を行うFHT195の動作原理を示す説明図である。図12に示す復調プロセスを経て、受信シンボルデータであるビット系列データ $c_0 \sim c_7$ がビット系列データ $s_0 \sim s_7$ へ復調される。これは、図6、9、10で示した可変速度伝送装置の実行した動作の逆プロセスを示す。図12において、黒矢印は、単にビットデータの並べ替えプロセスを示し、白抜き矢印は、図13の(a)、(b)に示すように、高速アダマール変換(系列長2の基本単位)を行うFHT195の動作を示す。図13の(b)は、

(a)に示す信号処理の詳細プロセスを示す。即ち、受信系列 c_0 、 c_2 より両者の和(A)と差(B)を求める操作を逐次繰り返してゆく。この和と差を求める方法は、 $k=2$ の陪直交信号の最適な復調方法として知られている。

【0072】図14は、図13に示した高速アダマール変換プロセスの変換前後のデータを示す関係図であり、多段階陪直交信号の復調プロセスの詳細を示す説明図である。図13の(a)に示すように、S/Pコンバータ194でパラレル変換されたビットデータ $c_0 \sim c_1$ は、 $k=2$ のFHT195によりビットデータA~Hに変換される。また、図14は、ビットデータA~Hと最終的に復調されて得られるビット系列データ $s_0 \sim s_7$ の関係を示している。 $s_0 \sim s_7$ を得る為のA~Hまでの加減算の組み合わせは、まさしく、符号長8の高速アダマール変換と一致している。

【0073】以上のように、この実施の形態2によれば、入力データ信号の伝送レートが所定の伝送レート

($512kbp/s$)を越える伝送レートである場合、複数段階の陪直交信号発生器からなる陪直交信号発生部を備えた適応変調部により、入力データ信号を陪直交化して陪直交信号に変換し、変換された陪直交信号をQPSKスプレッドにて拡散変調して入力データ信号の高速伝送を行う。このため、マルチコード多重化時に生じる包絡線変動を伴わずに、増幅器であるHPAの動作能力に対する線形性の要求を緩和可能である。一般に、一段の陪直交信号を生成する場合、 k ビットの多重化数に対して、系列長は 2^{k-1} となる。 $k=3, 4, 5$ の場合の系列長は、それぞれ4, 8, 16となる。マルチコード伝送を行う場合、直交符号の系列長が4, 8, 16の場合は、最大多重化数はそれぞれ4, 8, 16となり、対応

する陪直交信号の多重化数3, 4, 5よりも効率が良い。

【0074】逆に言えば、 k が大きくなる程、陪直交信号の多重効率が低下する。しかしながら、 $k=2$ の陪直交信号を多段階とする場合は、多重効率はマルチコードの時と同じである。即ち、多重効率が悪い $k \geq 4$ の場合においてもマルチコードを使用しないので、HPAの出力の包絡線変動を招くことなく高速伝送が可能となる。また、使用する陪直交信号を $k \leq 3$ に限定しているので、多重効率の低下を75%($=3/4$)に押さえることが可能となる。さらにまた、受信機の構成も効率の良いFHTで実現できるため複雑とならない。さらにまた、 $k=4$ の場合、陪直交信号発生器($k=2$)を2段階で組み合わせて構成しているため、符号効率の低下、受信機の構成の複雑さ、信号の特性劣化等を招くことなく、またデータ信号系列全体に多重化信号の情報が含まれることになるので、逆拡散課程により不要成分のランダム化が図られるというWCDMA信号の特性を良好に保持でき、これにより高速伝送を高効率で実行することができる。

【0075】更に実施の形態2では、陪直交信号の適用の開始点を拡散率4、最大可能多重数を4($512kbp/s$)から、拡散率 2^J 、最大可能多重数を 2^J (例えば、 $J=4$ の時、 $128kbp/s$)に拡張した場合においても、陪直交信号発生器($k=2$)を複数段階で組み合わせて構成しているため、符号効率の低下、受信機の構成の複雑さ、信号の特性劣化等を招くことなく、また上記したようにデータ信号系列全体に多重化信号の情報が含まれることになるので、系列長が4から16となるため、逆拡散課程により不要成分のランダム化が図られるというWCDMA信号の特性を良好に保持でき、これにより高速伝送を高効率で行うことができる。また、 J 段階の陪直交信号(各段階の陪直交信号発生器は $k=2$)を受信して復調する受信機に関しても、 $k=2$ の陪直交信号を2段階組み合わせて生成した多重数 2^J の陪直交信号を、FHTと同一構成、あるいは同一の処理で復調可能であり、FHTの使用により少ない演算数で受信データを復調可能である。

【0076】実施の形態3、図15は、この発明の実施の形態3におけるIQパイロット多重化方式(IQ多重方式)の可変速度伝送装置を示すブロック図であり、図において、251は速度変換器およびS/Pコンバータ(第1変換手段)であり、例えば、送信速度が $2048kbp/s$ のデータ信号を $2016kbp/s$ のデータ信号に変換し、パラレル信号として出力する。252は誤り訂正符号化器、即ちFEC処理部(FEC処理手段)である。253は、S/Pコンバータ(第2変換手段)である。254は、S/Pコンバータ242から出力されるデータ信号と、このデータ信号の伝送速度と同一の伝送速度を持つ制御信号であるパイロット(Pilot)

t)、TPC(Transmission Power Control)、RI(Rate Information)等を多重化する多重化ブロック(変換手段)であり、複数段の陪直交信号発生器2541~2550から構成される。255は、多重化ブロック254から出力された陪直交信号を拡散するQPSKスプレッド(拡散手段)である。

【0077】この実施の形態3の可変速度伝送装置は、IQ多重方式の可変速度伝送装置であり、従来のIQ多重方式に比べ、簡略的な多段階変調プロセスを実行することで、マルチコードではない単一の2値系列のデータ伝送を効率良く実行するものである。

【0078】次に動作について説明する。まず速度変換器およびS/Pコンバータ251にて、入力データは2016kbpsのデータに変換された後、6チャンネルの256kbpsのデータと2チャンネルの240kbpsのデータとに変換される。6チャンネルの256kbpsのデータは、そのまま、それぞれ対応するFEC252に投入され誤り訂正符号化を実行される。一方、2チャンネルの240kbpsのデータは、Pilot、TPC、RIの制御コードと共に、多重化ブロック254内に入力される。

【0079】多重化ブロック254内において、速度変換器およびS/Pコンバータ251から出力された240kbpsのデータは、複数段のS/Pコンバータ253で、最終的に16kbpsのデータに変換され、16kbpsのPilot、TPC、RIの制御コードと共に陪直交信号発生器であるBORT2541内に入力されて陪直交信号化される。BORT2541の出力である陪直交信号は、複数段のBORT2542、2543、2544内に入力され、複数段のS/Pコンバータ253から出力される各信号と共に陪直交化され、最終的に、BORT2544、2549から256kbpsの陪直交信号が出力される。多重化ブロック254内の陪直交信号発生器(BORT GEN $k=2$)2544、2549から出力された256kbpsの陪直交信号は、QPSKスプレッド255にて拡散された後に外部へ出力される。

【0080】尚、図15の下段に示したように、この発明に係る実施の形態5のIQ多重方式としての可変速度伝送装置における一般的な構成としては、FEC処理部252の出力の拡散率が 2^x で、Pilot、TPC、(RI)の拡散率が 2^y である場合、S/Pコンバータ253は $(y-x)$ 段となり、FEC処理部は 2^{x+1} 個となり、S/Pコンバータを介さないBORT GEN(2544、2545)、(2549、2550)の段数は x 段となり、S/Pコンバータを介したBORT GEN(2541~2544)、(2546~2549)の段数は y 段となる。

【0081】図16は、実施の形態3に係るIQ多重方

式の他の可変速度伝送装置を示すブロック図であり、シングルコードの場合において、パイロット、TPC、

(RI)等をIQ多重化するものである。図において、261はS/Pコンバータであり、入力したデータ信号をパラレル信号として出力する。262は誤り訂正符号化器、即ちFEC処理部である。264は陪直交信号発生部を備える適応変調部であり、265は、適応変調部264から出力された陪直交信号を拡散するQPSKスプレッドである。図16に示す可変速度伝送装置では、シングルコードの場合において、パイロット、TPC、(RI)等をIQ多重化する可変速度伝送装置であり、図23に示した従来のIQ多重化方式の可変速度伝送装置と比較して、QPSKスプレッド265とFEC処理部262との間に適応変調部264を配置した構成を有する。

【0082】図16に示したIQ多重化方式の可変速度伝送装置では、入力したデータの系列数が 2^x の場合は、 $k=2$ の陪直交信号を生成する陪直交信号発生器を多段構成し、3の倍数の場合は、 $k=3$ の陪直交信号を生成してデータを伝送するものである。例えば、拡散率4の場合、I軸およびQ軸のそれぞれに各1~3のマルチコード多重化信号を取り替え、陪直交信号を出力するものである。従って、多重化による振幅変動を伴わないので、増幅器であるHPA(High Power Amplifier)の動作能力に対する線形性の要求を緩和可能である。

【0083】以上のように、この実施の形態3によれば、電力の大きいデータ部が陪直交信号で伝送される為、多重化による振幅変動を伴わないので増幅器であるHPAの動作能力に対する線形性の要求を緩和可能である。また、拡散率が異なる場合においても、実施の形態3の可変速度伝送装置の場合と比較して、簡略された多段階陪直交変調プロセスを経て、シングルレベルの多重化陪直交信号を生成可能であり、冗長な演算を省くことが可能であり、このため演算量を削減でき、これにより装置を小型化することが可能である。

【0084】

【発明の効果】以上のように、この発明によれば、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送方法および可変速度伝送装置において、データ信号の伝送レートが所定の伝送レート以上の場合は、データ信号の陪直交信号生成する多段階の陪直交信号発生器を有する変調手段と、変調手段で得られた陪直交信号を用いて、データ信号を2値系列の状態に拡散して伝送する拡散手段とを備えるように構成したので、入力データ信号の伝送レートが所定の伝送レート(512kbps)を越える伝送レートである場合、複数段の陪直交信号発生器により、入力データ信号を陪直交化して陪直交信号に変換し、変換された陪直交信号をQPSKスプレッドにて拡散変調して入力データ信号の高速伝送を行

い、マルチコード多重化時に生じる包絡線変動を伴わずに、増幅器であるH P Aの動作能力に対する線形性の要求を緩和できる効果がある。即ち、多重効率が悪い $k \geq 4$ の場合においてもマルチコードを使用しないので、H P Aの出力の包絡線変動を招くことなく高速伝送できる効果がある。また、使用する陪直交信号を $k \leq 3$ に限定しているので、多重効率の低下を75%に押さえることが可能となる。さらにまた、 $k=4$ の場合、陪直交信号発生器($k=2$)を2段階で組み合わせて構成しているので、符号効率の低下、受信機の構成の複雑さ、信号の特性劣化等を招くことなく、またデータ信号系列全体に多重化信号の情報が含まれることになるので、逆拡散課程により不要成分のランダム化が図られるというWCDMA信号の特性を良好に保持でき、これにより高速伝送を高効率で実行できる効果がある。

【0085】この発明によれば、所定の伝送レートを、 $512kbp/s$ ($k=4$ 、入力シンボル数4、多重数4)のデータ伝送レートと設定するように構成したので、多重効率が悪い $k \leq 4$ の場合においてもマルチコードを使用しないので、H P Aの出力の包絡線変動を招くことなく高速伝送できる効果がある。

【0086】この発明によれば、データ信号の多重数が 2^J (J は正の整数、以下同じ)およびシンボル数が 2^J 、多段階の陪直交信号発生器の段数が J 、符号速度がデータ信号のシンボル速度の 2^J 倍、およびデータ信号のデータ系列長が 2^J の場合の多段階の各段における陪直交信号発生器の数を 2^{J-1} 個であるように構成したので、拡散率 2^J および最大可能多重数を 2^J に拡張した場合においても、陪直交信号発生器($k=2$)を複数段階で組み合わせて構成しているので、符号効率の低下、受信機の構成の複雑さ、信号の特性劣化等を招くことなく、またデータ信号系列全体に多重化信号の情報が含まれることになるので、逆拡散課程により不要成分のランダム化が図られるというWCDMA信号の特性を良好に保持でき、これにより高速伝送を高効率で行うことができる効果がある。

【0087】この発明によれば、データ信号を受信し復調する復調器を備えた可変速度伝送装置において、受信したデータ信号に対して高速アダマール変換を行うFHTを実行することで、多重化された多重信号を分離識別する復調手段を備えるように構成したので、 $k=2$ の陪直交信号を2段階組み合わせて生成した多重数 2^J の陪直交信号を、FHTと同一構成あるいは同一の処理で復調可能であり、FHTの使用により少ない演算数で受信データを復調可能であり、受信機の構成も複雑とならず、また低S/N動作に伴う信号特性の劣化も僅かであるという効果がある。

【0088】この発明によれば、データ信号を拡散符号系列を用いて拡散変調して送信する可変速度伝送方法および可変速度伝送方法および装置において、データ信号

の伝送レートを所定の伝送レートに変換する第1変換手段と、変換されたデータ信号に対して誤り訂正符号化処理を行うFEC処理手段と、FEC処理手段から出力されたデータ信号のデータ伝送レートを所定のデータ伝送レートに変換する多段階の変換器からなる第2変換手段と、第2変換手段から出力されるデータ信号と同一のデータ伝送レートを持つ制御信号とを入力し、さらにFEC処理手段から出力される前記データ信号とを入力し、陪直交信号を発生する多段階の陪直交信号発生器からなる変調手段と、変調手段で得られた陪直交信号を用いてデータ信号を2値系列の状態に拡散し伝送する拡散手段とを備えるように構成したので、電力の大きいデータ部が陪直交信号で伝送される為、多重化による振幅変動を伴わないので増幅器であるH P Aの動作能力に対する線形性の要求を緩和可能であるという効果がある。また、拡散率が異なる場合においても、簡略された多段階陪直交変調プロセスを経てシングルレベルの多重化陪直交信号を生成可能で、また冗長な演算を省くことが可能であり、このため演算量を削減できるので装置を小型化することが可能であるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による可変速度伝送装置を示すブロック図である。

【図2】 図1に示した実施の形態1の可変速度伝送装置において、入力信号のデータレートが $512kbp/s$ の場合の構成を示すブロック図である。

【図3】 図1に示した実施の形態1の可変速度伝送装置において、入力信号のデータレートが $1024kbp/s$ の場合の構成を示すブロック図である。

【図4】 図1に示した実施の形態1の可変速度伝送装置において、入力信号のデータレートが $1536kbp/s$ の場合の構成を示すブロック図である。

【図5】 図1に示した実施の形態1の可変速度伝送装置において、入力信号のデータレートが $2048kbp/s$ の場合の構成を示すブロック図である。

【図6】 複数段階の陪直交信号発生器(BORT GEN)におけるデータ系列の入出力を示した説明図である。

【図7】 陪直交信号発生部の詳細を示すブロック図である。

【図8】 この発明の実施の形態2の可変速度伝送装置を示すブロック図である。

【図9】 図8に示す実施の形態2の可変速度伝送装置内の陪直交信号発生部からなる適応変調部の構成を示すブロック図である。

【図10】 図8に示す可変速度伝送装置内のFEC処理部から出力されたデータを、S/Pコンバータにてシリアルパラレル変換して得られるデータパターンを示す説明図である。

【図11】 図8に示す可変速度伝送装置としての送信

機から出力された送信信号を受信し復調する受信機としての可変速度伝送装置を示すブロック図である。

【図12】 図8および図9で示した送信機としての可変速度伝送装置から送信された送信信号である送信シンボルデータを、受信して得られた受信シンボルデータ系列c 0～c 7の復調を行うFHTの動作原理を示す説明図である。

【図13】 高速アダマール変換を行うFHTの動作を示す説明図である。

【図14】 図13に示したFHTの高速アダマール変換プロセスの変換前後のデータを示す関係図であり、多段階階直交信号の復調プロセスの詳細を示す説明図である。

【図15】 この発明の実施の形態3におけるIQ多重方式の可変速度伝送装置を示すブロック図である。

【図16】 実施の形態3におけるIQ多重方式の他の可変速度伝送装置を示すブロック図である。

【図17】 従来のコヒーレント・マルチコード・DS-SS-CDMAにおける上りリンク送信系を示すブロック図である。

【図18】 図17に示す従来の上りリンク送信系における、インタリーブ後のパイロット挿入を示す説明図である。

【図19】 データ伝送速度と拡散率との関係を示す説明図である。

【図20】 符号多重方式の場合のフレームの構成を示す説明図である。

【図21】 データを符号多重してマルチコード多重伝送する場合の各コードの構成を示す説明図である。

【図22】 IQ多重方式でのシングルコードの場合におけるフレーム構成を示す説明図と、QPSKスプレッド等の変調部を示す構成図である。

【図23】 IQ多重方式の従来の可変速度伝送装置を示すブロック図である。

【図24】 IQ多重方式でのマルチコードの場合におけるフレーム構成を示す説明図である。

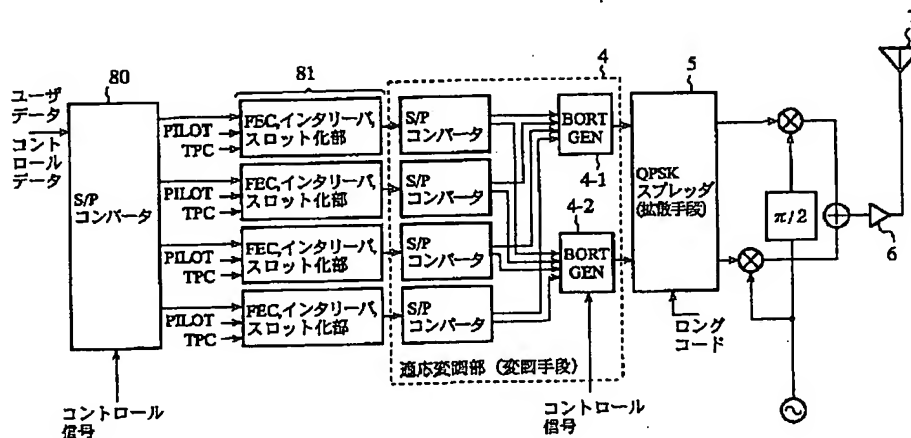
【図25】 IQ多重方式の従来の他の可変速度伝送装置を示すブロック図である。

【図26】 図25に示したIQ多重方式の従来の可変速度伝送装置の動作における系列長の異なる直交符号の関係を説明図である。

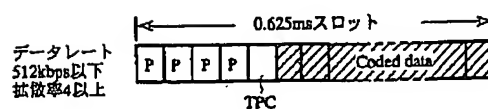
【符号の説明】

4, 154 適応変調部 (変調手段)、5, 157, 255 QPSKスプレッド (拡散手段)、193, 196 多段階復調器 (復調手段)、251 速度変換およびS/Pコンバータ (第1変換手段)、252 FEC処理部 (FEC処理手段)、253 S/Pコンバータ (第2変換手段)、254 多重化ブロック (変調手段)。

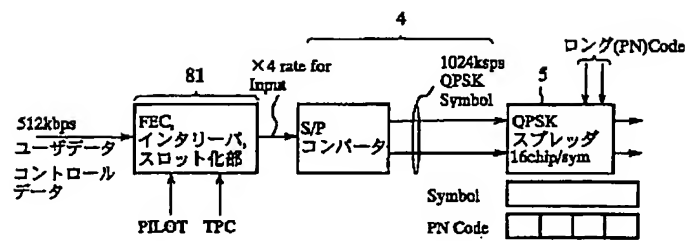
【図1】



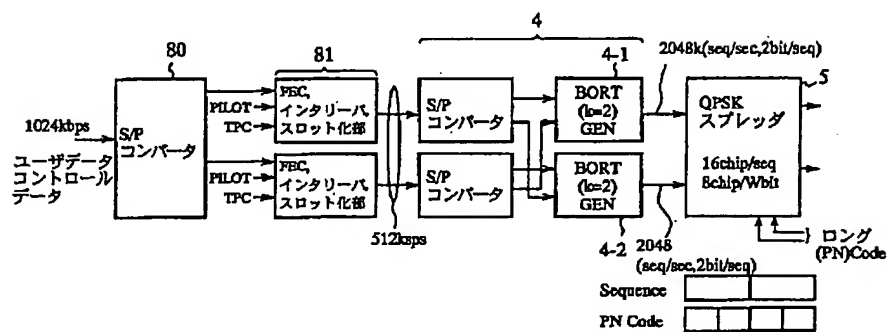
【図18】



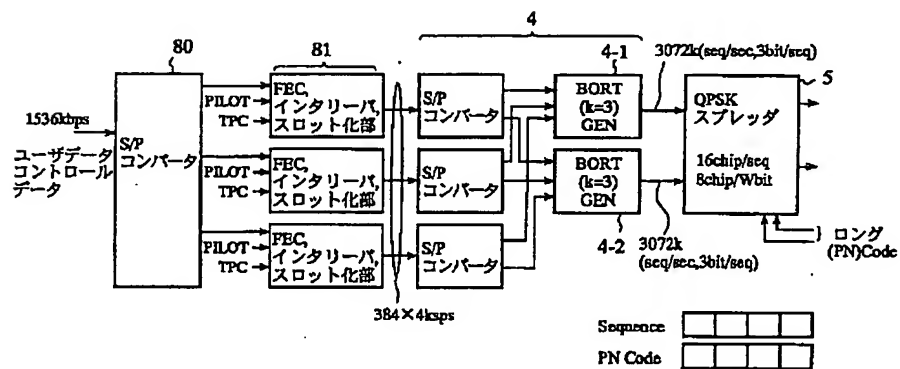
【図2】



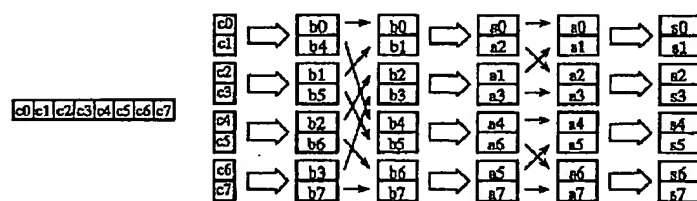
【図3】



【図4】



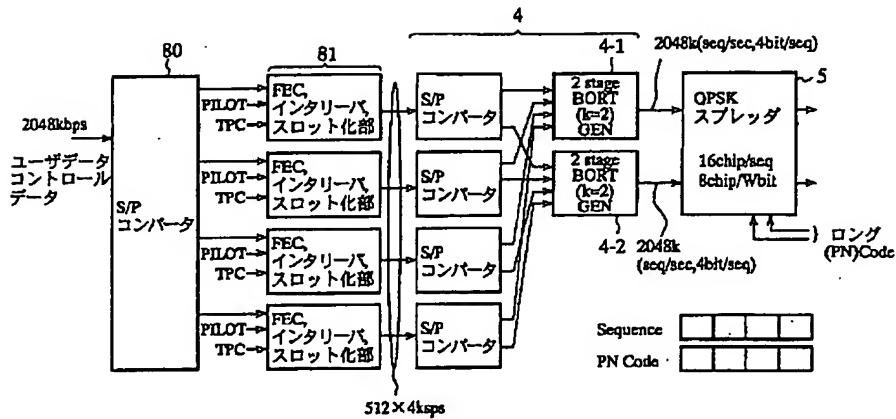
【図12】



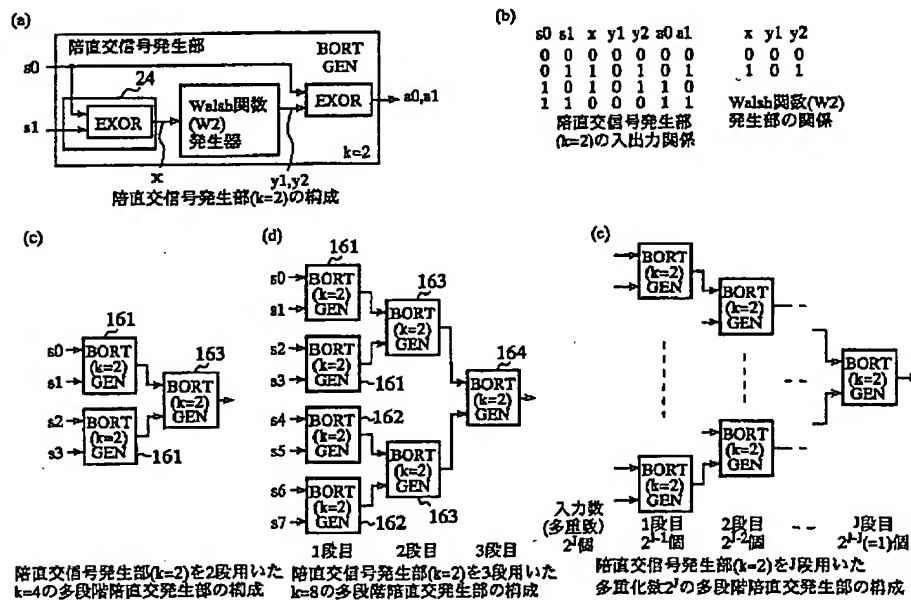
下に説明 並べ替え

多段階直交信号の複調原理

【図5】



【図6】

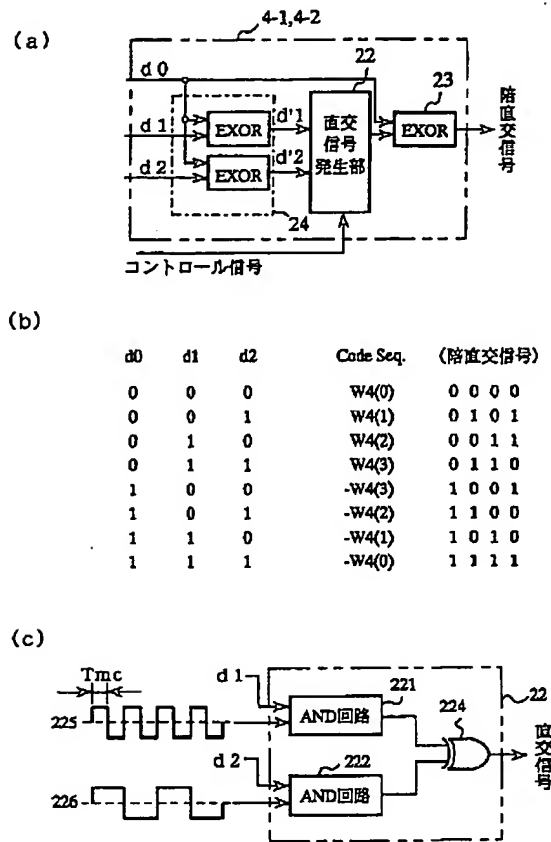


【図14】

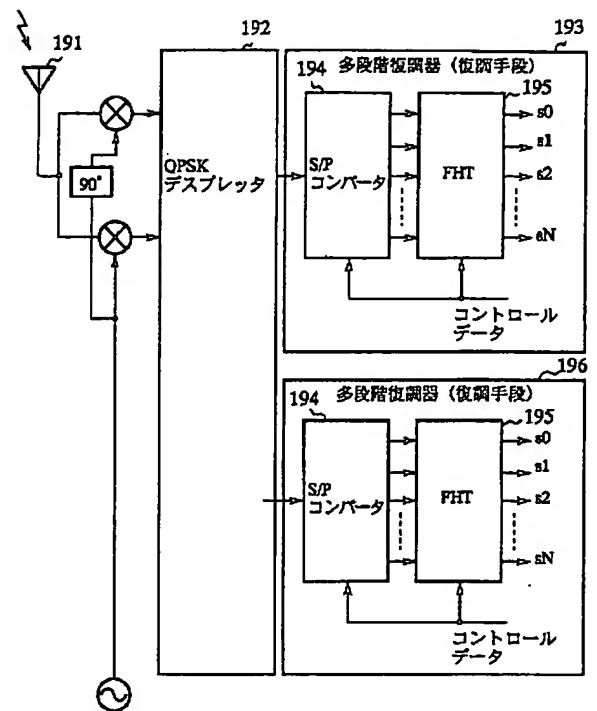
$$\begin{aligned}
 b_0 &= A+B & a_0 &= b_0+b_1 & s_0 &= a_0+a_1 \\
 b_4 &= A-B & a_2 &= b_0-b_1 & s_1 &= a_0-a_1 \\
 b_1 &= C+D & a_1 &= b_2+b_3 & s_2 &= a_2+a_3 \\
 b_5 &= C-D & a_3 &= b_2-b_3 & s_3 &= a_2-a_3 \\
 b_2 &= E+F & a_4 &= b_4+b_5 & s_4 &= a_4+a_5 \\
 b_6 &= E-F & a_6 &= b_4-b_5 & s_6 &= a_4-a_5 \\
 b_3 &= G+H & a_5 &= b_6+b_7 & s_5 &= a_6+a_7 \\
 b_7 &= G-H & a_7 &= b_6-b_7 & s_7 &= a_6-a_7
 \end{aligned}$$

$$\begin{aligned}
 s_0 &= a_0+a_1 = [b_0+b_1] + [b_2+b_3] = [(A+B)+(C+D)] + [(E+F)+(G+H)] = A+B+C+D+E+F+G+H \\
 s_1 &= a_0-a_1 = [b_0+b_1] - [b_2+b_3] = [(A+B)+(C+D)] - [(E+F)+(G+H)] = A+B+C+D-E-F-G-H \\
 s_2 &= a_2+a_3 = [b_0-b_1] + [b_2-b_3] = [(A+B)-(C+D)] + [(E+F)-(G+H)] = A+B-C-D+E-F-G-H \\
 s_3 &= a_2-a_3 = [b_0-b_1] - [b_2-b_3] = [(A+B)-(C+D)] - [(E+F)-(G+H)] = A+B-C-D-E-F+G+H \\
 s_4 &= a_4+a_5 = [b_4+b_5] + [b_6+b_7] = [(A-B)+(C-D)] + [(E-F)+(G-H)] = A-B+C-D+E-F+G-H \\
 s_5 &= a_4-a_5 = [b_4+b_5] - [b_6+b_7] = [(A-B)+(C-D)] - [(E-F)+(G-H)] = A-B+C-D-E-F-G+H \\
 s_6 &= a_6+a_7 = [b_4-b_5] + [b_6-b_7] = [(A-B)-(C-D)] + [(E-F)-(G-H)] = A-B-C+D+E-F-G+H \\
 s_7 &= a_6-a_7 = [b_4-b_5] - [b_6-b_7] = [(A-B)-(C-D)] - [(E-F)-(G-H)] = A-B-C+D-E+F+G-H
 \end{aligned}$$

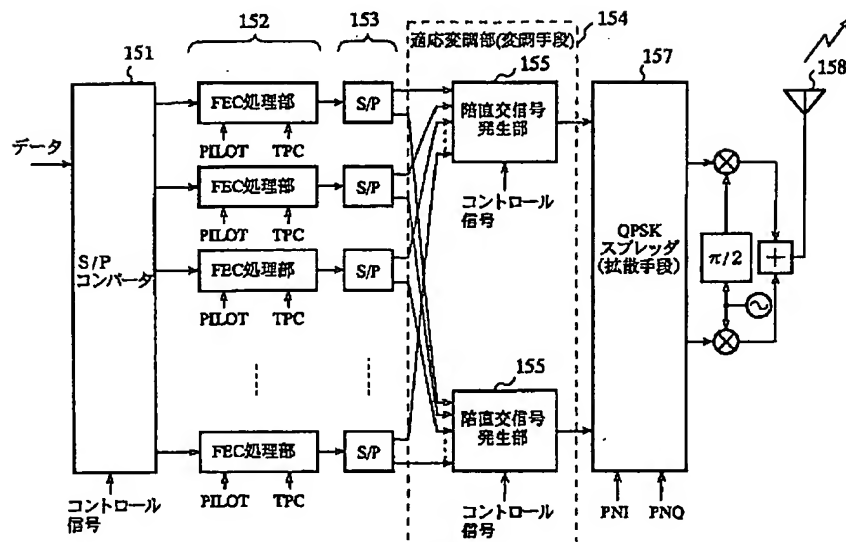
【図7】



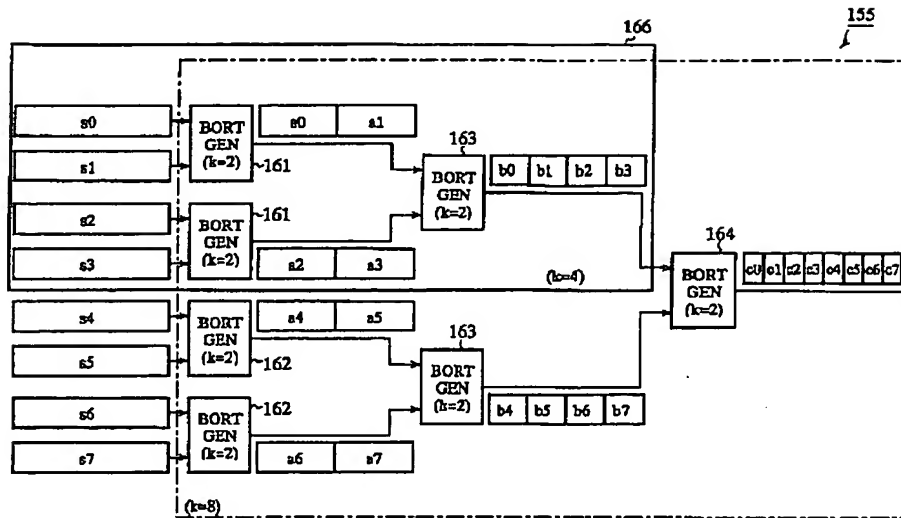
【図11】



【図8】



【図9】



【図10】

(a)

s0	s1	s2	s3	a0	a1	a2	a3	a0	a1	a2	a3	b0	b1	b2	b3
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0	0	1	0	0	1	0	0	1
0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
0	1	1	1	0	0	1	1	0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
1	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1
1	1	0	0	1	0	0	0	1	0	0	0	1	0	0	0
1	1	0	1	1	0	0	1	1	0	0	1	1	0	0	1
1	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0
1	1	1	1	1	0	1	1	1	0	1	1	1	0	1	1
1	1	1	0	1	1	0	1	1	0	1	1	0	1	1	0
1	1	1	1	1	1	0	1	1	1	0	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

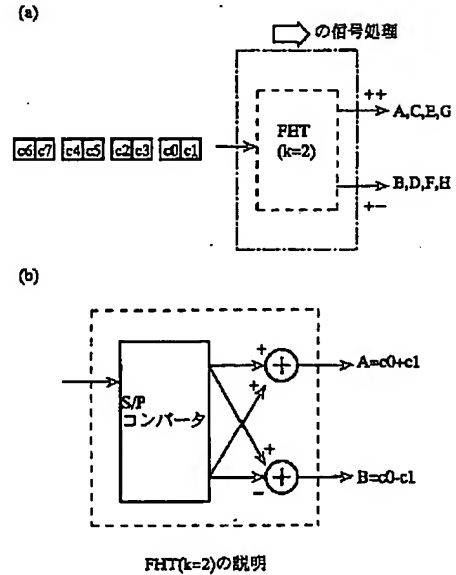
k=4の場合の前パターンの入出力関係

(b)

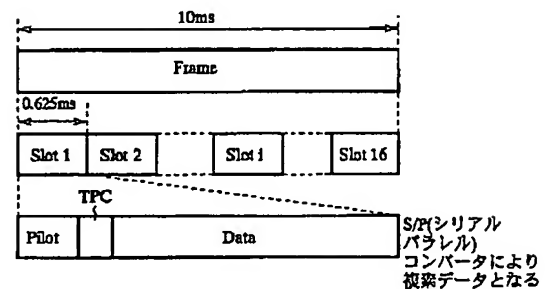
s0	s1	s2	s3	a0	a1	a2	a3	b0	b1	b2	b3	c0	c1
0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	1	0	1
0	0	1	0	0	0	1	0	0	1	0	0	1	0
0	0	1	1	0	0	1	1	0	1	0	1	0	1
0	1	0	0	0	1	0	0	0	0	1	0	0	0
0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0	0	1	1	0	0	0
0	1	1	1	0	1	1	1	0	1	1	1	0	1
1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	0	0	0	1	0	1
1	0	1	0	0	0	1	0	0	1	0	0	1	0
1	0	1	1	0	0	1	1	0	1	0	1	0	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	1	0	0	0	1	0	1
1	1	1	0	0	0	1	0	0	1	0	0	1	0
1	1	1	1	0	0	1	1	0	1	0	1	0	1
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	1	0	0	0	1	0	1
1	1	0	1	0	0	0	1	0	1	0	0	1	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	1	0	0	0	1	0	1
1	1	1	1	0	0	1	0	0	1	0	0	1	0
1	1	1	1	0	0	1	1	0	1	0	1	0	1

k=8の場合の入出力関係の一般的記述

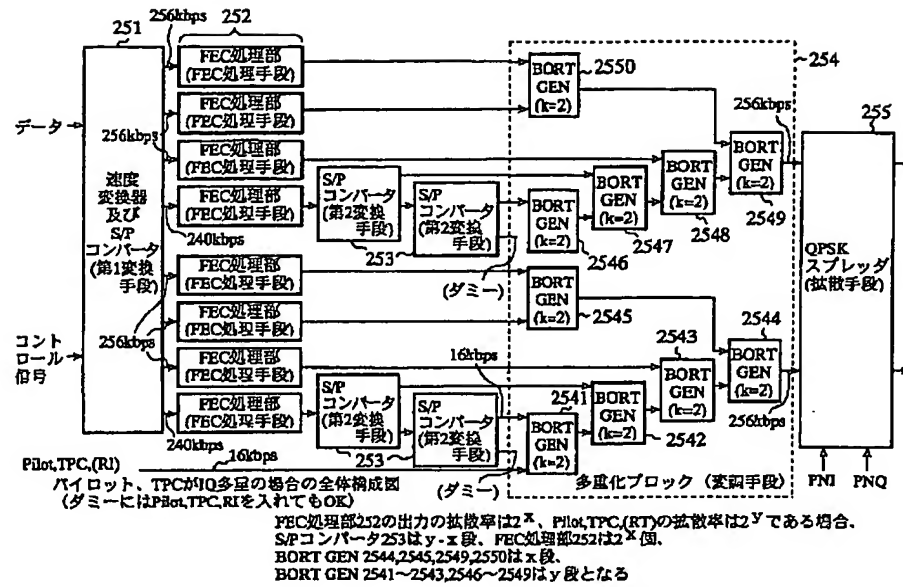
【図13】



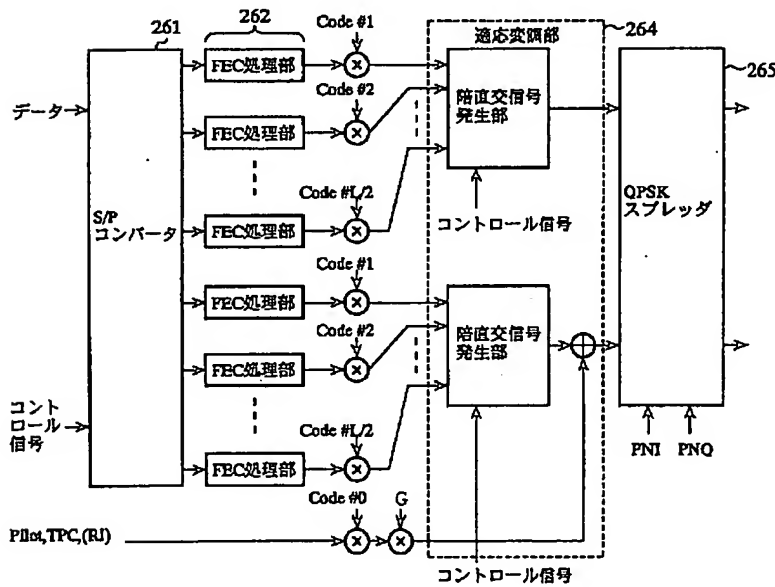
【図20】



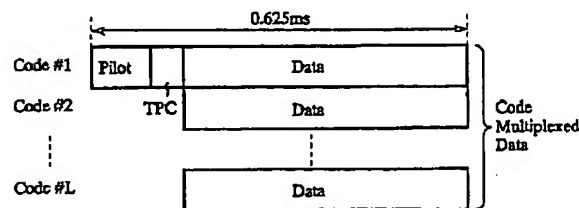
【図15】



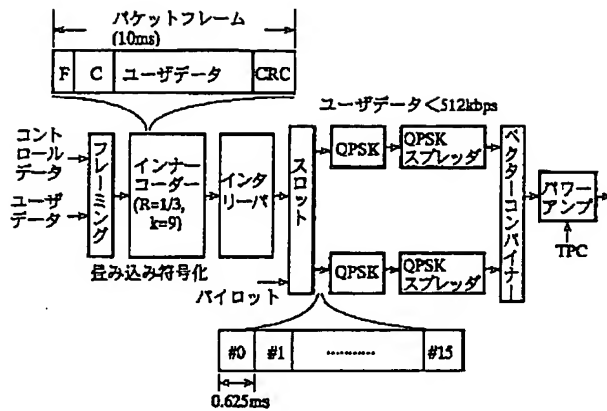
【図16】



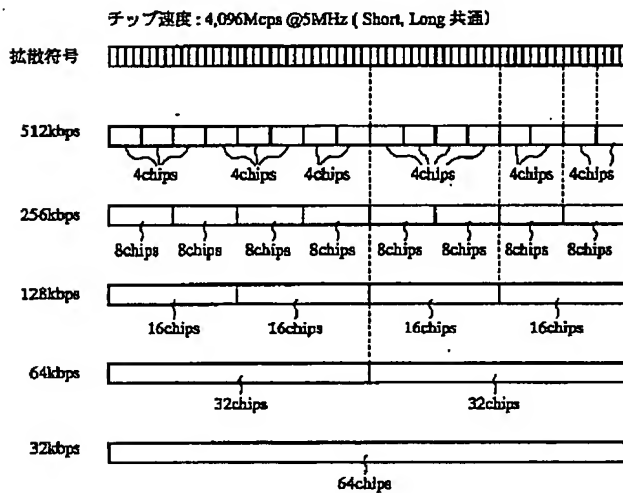
【図21】



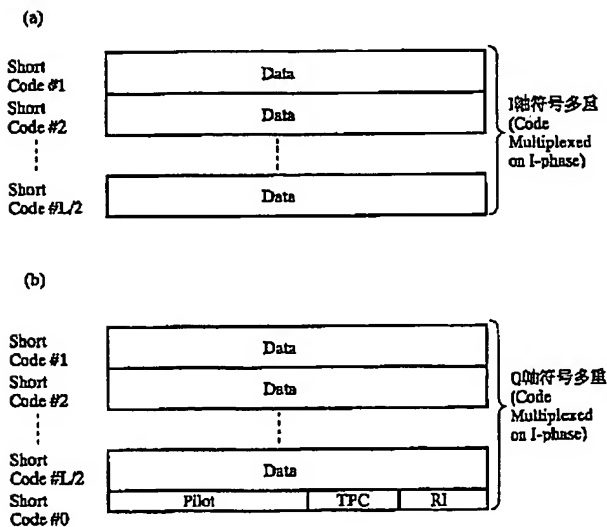
【図17】



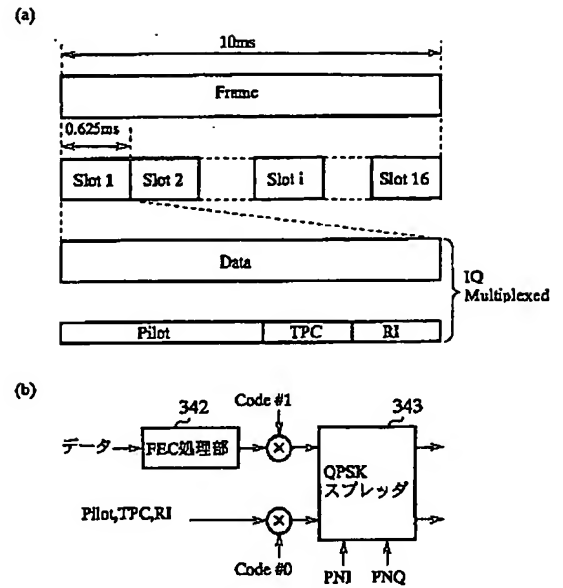
【図19】



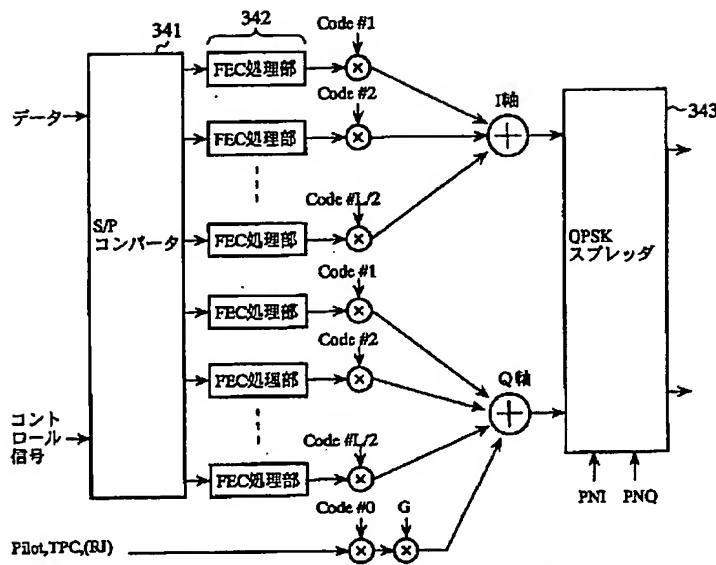
【図24】



【図22】

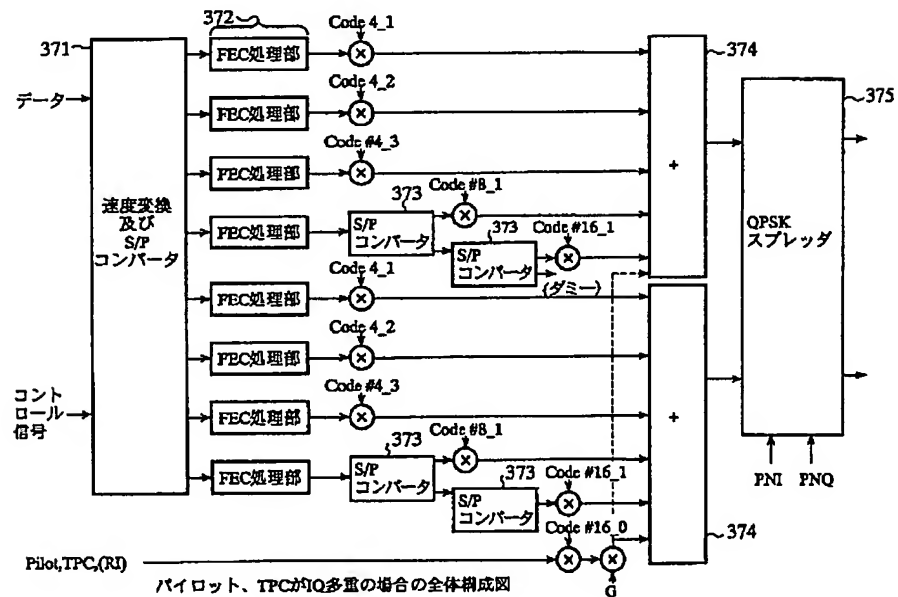


【図23】



パイロット、TPCが1Q多重の場合の全体構成図

【図25】



パイロット、TPCが1Q多重の場合の全体構成図

【図26】

